# 第九周学习指南

## 9.1 课程内容

课程内容包括慕课中第六章异步时序逻辑电路的6.3节电平异步时序逻辑电路分析和7.1节常用中规模组合逻辑电路中的加法器和译码器。

电平异步时序逻辑电路是一般化的时序逻辑电路，电路中可以没有触发器，电平异步时序逻辑电路的一般分析方法，包括流程表，总态图等与前面的状态表和状态图都有所不同；此外，如何判断电平异步时序逻辑电路的竞争和险象也是需要掌握的内容。

中规模时序逻辑电路使得我们在实现部分逻辑功能的时候不需要从简单的逻辑门开始设计，简化了设计的过程。这部分首先需要掌握的是中规模组合逻辑电路中的加法器和译码器。

## 9.2 教学重点

**1. 电平异步时序逻辑电路的结构模型和分析方法**

* 电平信号与脉冲信号的区别：脉冲是一种特殊的电平；
* 激励状态、二次状态和稳定状态的概念；
* 电平异步时序逻辑电路对输入的约束：不允许2个或2个以上的输入同时改变；
* 注意流程表与状态表的区别：流程表输入部分的排列必须按照代码相邻规则进行排列（类似卡诺图）；流程表上的稳态必须加上圆圈。
* 流程表：输入改变只能发生在相邻列，然后首先是横向移动到对应输入列，然后在这一列根据状态移动，直到稳态为止。
* 掌握总态图的画法。

**2. 电平异步时序逻辑电路分析**

* 电平异步时序逻辑电路的分析方法；
* 反馈线数目的判断：查看输出表达式中是否包含输入。

**3. 电平异步时序逻辑电路中的竞争**

* 竞争的类型：临界竞争和非临界竞争；
* 电平异步时序逻辑电路竞争的判断：如果流程表中，稳定状态与左右相邻状态相比有2个或者两个以上的状态发生变化，就会出现竞争；
* 临界竞争和非临界竞争的判断：到达列只有一个稳态，则一定是非临界竞争，有两个或者两个以上的稳态，则是临界竞争。

**4. 二进制并行加法器**

* 串行进位的二进制并行加法器与超前进位的二进制并行加法器；
* 74283的逻辑电路图和主要引脚；
* 74283实现的逻辑功能：主要能表达成F=A4A3A2A1+B4B3B2B1+C形式的逻辑函数功能，都能够用74283实现。

**5. 译码器**

* 译码器的分类：二进制译码器、二十进制译码器和数字显示译码器；
* 二进制译码器的输入输出数目的关系；
* 低电平译码和高电平译码的区别；
* 二进制译码器实现逻辑函数功能的方法；
* 二进制译码器的级联（利用使能端）。

## 9.3 本周作业及要求

**习题六：6.9；6.10；6.13；7.2；7.3；7.4。**

6.9 分析图6.41所示电平异步时序逻辑电路，作出流程表，总态图，说明该电路的逻辑功能。



6.10 某电平异步时序逻辑电路的流程表如图6.34所示。作出输入x2x1变化序列为00→01→11→10→11→01→00时的总态(x2x1,y2y1)响应序列。



6.13 图6.43为某电平异步时序逻辑电路的结构框图。图中，



试问该电路中是否存在竞争？若存在，请说明竞争类型。

7.2 用两个4位二进制并行加法器实现2位十进制数8421码到二进制码的转换。

7.3用4位二进制并行加法器设计一个用8421码表示的1位十进制加法器。

7.4 用一片3-8线译码器和必要的逻辑门实现下列逻辑函数表达式：